

**Publication number:** JP7014392

**Publication date:** 1995-01-17

**Inventor:** UEDA KUNIO

**Applicant:** TOKYO SHIBAURA ELECTRIC CO

**Classification:**

- international: **G06F3/08; G06F12/16; G11C16/06; G06F3/08; G06F12/16; G11C16/06; (IPC1-7): G11C16/06; G06F3/08; G06F12/16**

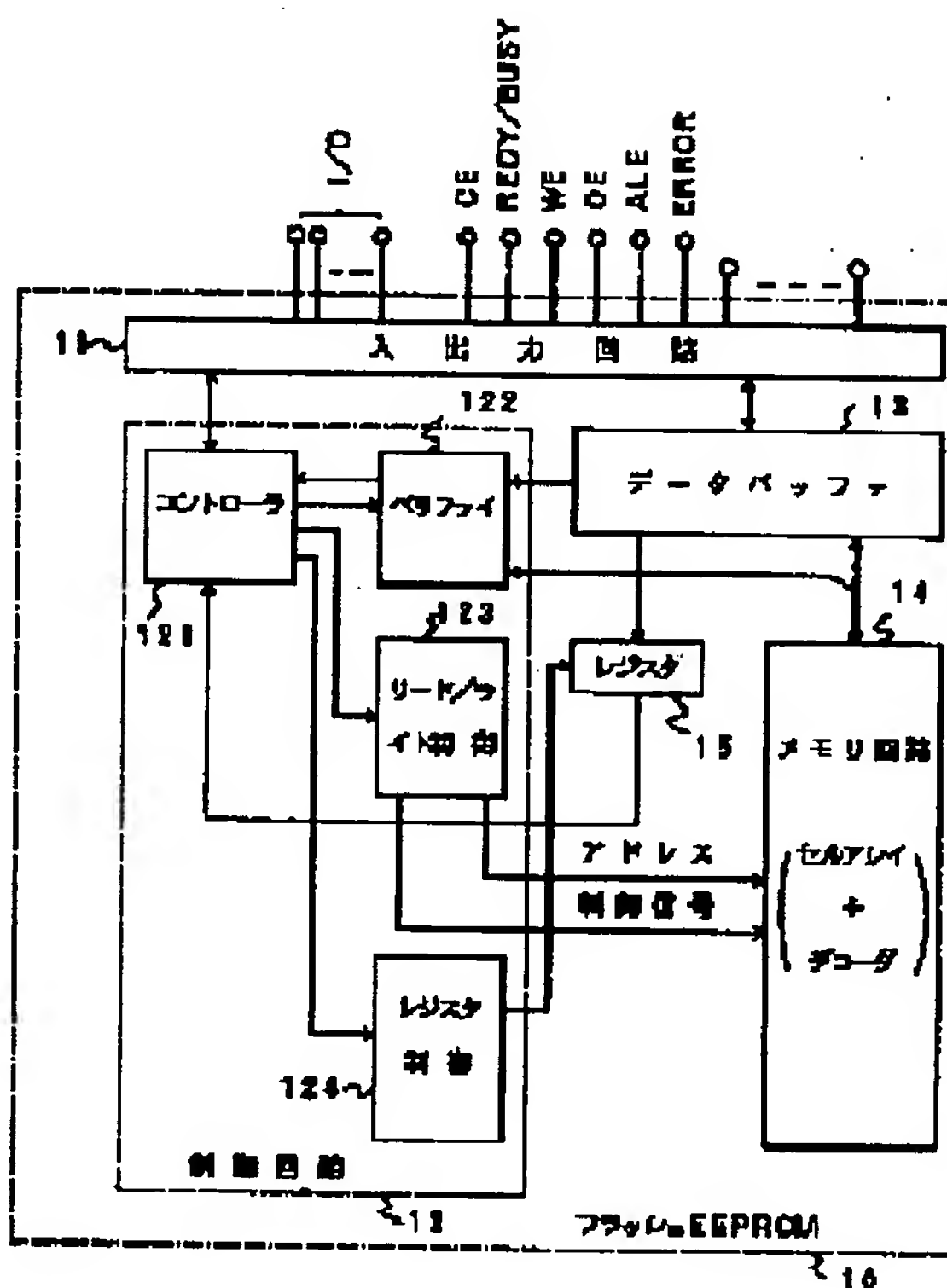
- european;

**Application number:** JP19930142193 19930614

**Priority number(s):** JP19930142193 19930614

**Report a data error here**

**PURPOSE:** To make chip performance changeable in accordance with uses by allowing the number of the maximum write-in trial of a flash EEPROM to be set to an arbitrary value. **CONSTITUTION:** DATA for the number of maximum write-in trials indicating the maximum value of the number of write-in trials executed repeatedly by a read/write control circuit 123 are set in a register 15 and the content of the register 15 is updated by a register rewriting command from the outside. Thus, users can set freely the value of the number of the maximum write-in trials and then the chip performance can be changed freely in accordance with uses of the flash EEPROM 10.



<http://v3.esnacenet.com/textdoc?NR=FP0000&INX=.IP7014392&F=8>

2006/06/14

(19)日本国特許庁(JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

・特開平 7 - 1 4 3 9 2

(43)公開日 平成7年(1995)1月17日

(51)Int. Cl.<sup>6</sup>

識別記号

室内整理番号

FI

### 技術表示箇所

G 1 1 C 16/06

G O 6 F 3/08

12/16

H

3 1 0

G 9293- 5 B

G 1 1 C      17/00      3 0 9      F

審査請求 未請求 請求項の数 4

OL

(全10頁)

(21)出願番号 特願平5-142193

(22)出願日 平成5年(1993)6月14日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 上田 国生

東京都青梅市末広町2丁目9番地 株式会社

東芝青梅工場内

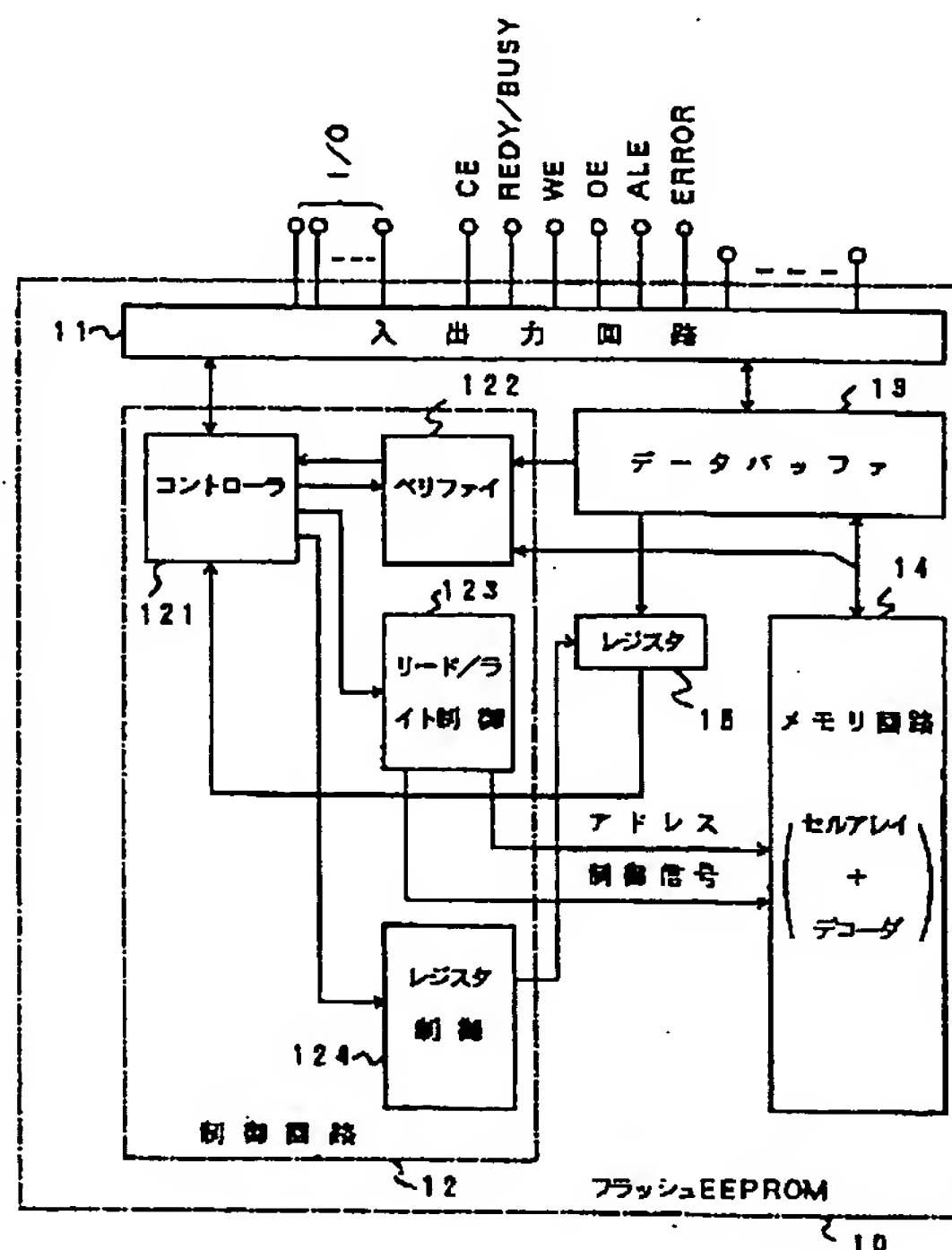
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 不揮発性半導体メモリおよびそれを使用した半導体ディスク装置

(57) 【要約】

【目的】フラッシュE E P R O Mの最大書き込み試行回数を任意の値に設定できるようにし、チップ性能を用途に応じて変更可能にする。

【構成】リード／ライト制御回路１２３によって繰り返し実行される書き込み試行回数の最大値を示す最大書き込み試行回数データがレジスタ１５にセットされており、そのレジスタ１５の内容は外部からのレジスタ書き換えコマンドに応じて更新される。したがって、最大書き込み試行回数の値をユーザが自由に設定できるようになり、フラッシュＥＥＰＲＯＭ１０の用途に応じてチップ性能を自由に変更する事が可能となる。



## 【特許請求の範囲】

【請求項 1】 メモリセルアレイと、  
外部から供給される書き込みデータを前記メモリセルアレイに書き込む書き込み手段と、  
この書き込み手段によって前記メモリセルアレイに書き込まれたデータ内容を前記書き込みデータと比較し、その一致の有無に基づいてデータ書き込み動作が正常に実行されたか否かを検証するベリファイ手段と、  
このベリファイ手段によってデータ書き込み動作のエラーが検出された際、前記ベリファイ手段によってデータ書き込み動作の正常実行が検証されるまで前記書き込み手段に書き込み動作を繰り返し試行させる手段と、  
前記書き込み手段によって繰り返される書き込み試行回数の最大値を示す最大書き込み試行回数データがセットされるデータ保持手段と、  
前記書き込み手段による書き込み動作の試行回数が前記データ保持手段にセットされている最大書き込み試行回数データによって規定される回数に達した際、不良セルが存在する事を示すステータス信号を外部に通知するエラー通知手段と、  
外部からの要求に応じて前記データ保持手段の内容を更新して前記最大書き込み試行回数の値を変更する最大書き込み試行回数更新手段とを具備することを特徴とする不揮発性半導体メモリ。

【請求項 2】 前記不揮発性半導体メモリはフラッシュ EEPROMであることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 3】 フラッシュ EEPROMと、このフラッシュ EEPROMをホストコンピュータからの要求に応じてアクセス制御するコントローラとを有する半導体ディスク装置において、  
前記フラッシュ EEPROMは、  
前記半導体ディスク装置のコントローラから供給される書き込みデータを前記メモリセルアレイに書き込む書き込み手段と、

この書き込み手段によって前記メモリセルアレイに書き込まれたデータ内容を前記書き込みデータと比較し、その一致の有無に基づいてデータ書き込み動作が正常に実行されたか否かを検証するベリファイ手段と、  
このベリファイ手段によってデータ書き込み動作のエラーが検出された際、前記ベリファイ手段によってデータ書き込み動作の正常実行が検証されるまで前記書き込み手段に書き込み動作を繰り返し試行させる手段と、  
前記書き込み手段によって繰り返される書き込み試行回数の最大値を示す最大書き込み試行回数データがセットされるデータ保持手段と、

前記書き込み手段による書き込み動作の試行回数が前記データ保持手段にセットされている最大書き込み試行回数データによって規定される回数に達した際、不良セルが存在する事を示すステータス信号を前記コントローラ

に通知するエラー通知手段と、

前記コントローラからの要求に応じて前記レジスタの内容を更新して前記最大書き込み試行回数の値を変更する最大書き込み試行回数更新手段とを具備することを特徴とする半導体ディスク装置。

【請求項 4】 フラッシュ EEPROMと、このフラッシュ EEPROMをホストコンピュータからの要求に応じてアクセス制御するコントローラとを有する半導体ディスク装置において、

10 前記コントローラは、

前記フラッシュ EEPROMをアクセス制御し、前記ホストから供給される書き込みデータを前記フラッシュ EEPROMに書き込む書き込み手段と、

この書き込み手段によって前記フラッシュ EEPROMに書き込まれたデータ内容を前記書き込みデータと比較し、その一致の有無に基づいてデータ書き込み動作が正常に実行されたか否かを検証するベリファイ手段と、

20 このベリファイ手段によってデータ書き込み動作のエラーが検出された際、前記ベリファイ手段によってデータ書き込み動作の正常実行が検出されるまで前記書き込み手段に書き込み動作を繰り返し試行させる手段と、  
前記書き込み手段によって繰り返される書き込み試行回数の最大値を示す最大書き込み試行回数データがセットされると、

前記書き込み手段による書き込み動作の試行回数が前記データ保持手段にセットされている最大書き込み試行回数データによって規定される回数に達した際、不良セルが存在する事を示すステータス信号を前記ホストコンピュータに通知するエラー通知手段と、

30 前記ホストコンピュータからの要求に応じて前記レジスタの内容を更新して前記最大書き込み試行回数の値を変更する最大書き込み試行回数更新手段とを具備することを特徴とする半導体ディスク装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、不揮発性半導体メモリおよびそれを使用した半導体ディスク装置に関する。

## 【0002】

【従来の技術】 従来のワークステーションやパーソナルコンピュータ等の情報処理装置の多くは、記憶装置として磁気ディスク装置を用いていた。磁気ディスク装置は、記録の信頼性が高い、ビット単価が安いなどの利点がある反面、装置のサイズが大きい、物理的な衝撃に弱いなどの欠点を持つ。

【0003】 すなわち、磁気ディスク装置は、磁気ヘッドを回転ディスク表面に走らせることによって、データを回転ディスク上に磁気的に書き込む、あるいはそれらを読み出すという動作原理である。この回転ディスクや磁気ヘッドといった機械的な可動部分は、装置に物理的な衝撃が与えられることによって誤動作や故障が発生す

る恐れがある。またそのような機械的可動部を必要とする事が、装置全体のサイズを小さくする障害となっている。

【0004】このため、磁気ディスク装置は、机上に固定して使用するデスクトップタイプのコンピュータで用いるにはあまり支障とならないが、持ち運び可能で小型なラップトップコンピュータやノートブックコンピュータにおいては、これらの欠点は大きな問題となる。

【0005】そこで、近年、装置のサイズが小さく物理的な衝撃にも強いシリコンディスク装置に注目が集まっている。シリコンディスク装置とは、電氣的に一括消去が可能な不揮発メモリであるフラッシュEEPROMを、従来の磁気ディスク装置などと同様にパーソナルコンピュータなどの2次記憶装置として用いるものである。このシリコンディスク装置には、磁気ディスク装置のような機械的な可動部分がないため、物理的な衝撃による誤動作や故障は発生しにくい。また、装置としてのサイズも小さくなる等の利点がある。

【0006】しかし、このシリコンディスク装置の構成要素であるフラッシュメモリは、同一メモリセルに対するデータ書き込み/消去の繰り返しによって、そのメモリセル中の酸化膜が徐々に劣化されるという特徴を持っている。酸化膜の劣化が進むと、正しいデータの書き込みや読み出しを行うことができなくなる。このため、フラッシュメモリの書き替え回数の限界値は、10の6乗程度以下の回数に制限されている。この書き替え可能回数の限界値は、フラッシュメモリを有するシリコンディスク装置を磁気ディスク装置などと同様にコンピュータの記憶装置として用いるには、必ずしも十分な値とはいえない。

【0007】書き替え可能回数の限界値に達したか否かは、プログラムベリファイ動作を利用して検出される。このプログラムベリファイ動作は、データ書き込み動作に後続してフラッシュメモリ内で自動実行される動作であり、その動作は次の通りである。

【0008】すなわち、フラッシュメモリのプログラム動作においては、まず、外部からの書き込みアドレスおよび書き込みデータにしたがってデータ書き込み動作が行われ、次いで、そのデータ書き込み動作が正常に実行されたか否かの確認のためのプログラムベリファイ動作が行われる。このプログラムベリファイ動作では、メモリセルに書き込まれた実際のデータ内容とフラッシュメモリ内のレジスタに保持されているライトデータとが比較され、一致すればベリファイOKを示すステータスがフラッシュメモリから外部回路に出力され、プログラム動作が終了される。

【0009】一方、不一致の場合には、データ書き込み動作が再試行され、その後、プログラムベリファイ動作が再び行われる。データ書き込み動作の再試行は、ベリファイOKになるまで繰り返される。この場合、再試行

の繰り返し回数がある一定値を越えると、書き込み失敗を示すステータスがフラッシュメモリから外部回路に出力される。外部回路は、書き込み失敗を示すステータスを一旦受け取るとフラッシュメモリ内の該当する記憶領域に書き込み可能回数を越えたメモリセルがあると判断する。そして、以降は、その記憶領域を使用しない等の対応が取られたり、そのフラッシュメモリのチップ交換等が行われる。

【0010】しかしながら、従来では、データ書き込み動作の最大試行回数はフラッシュメモリのチップ毎に決められた固定値であったので、フラッシュメモリの利用用途によっては次ぎのような不具合が発生する。

【0011】すなわち、フラッシュメモリの使用期間は短くなっても構わないが、速い書き込み速度が必要であるという用途の場合、最大書き込み試行回数が20回に定められているとすると、最悪の場合には、同じ領域に対して20回の試行を行った後でないと、次のデータ書き込み動作に移行できない事になる。

【0012】もし、ユーザが最大書き込み試行回数をもっと低い値に設定し直すことができれば、書き込み可能回数を越えたと判断される頻度は上がりチップの使用可能期間は短縮される。しかし、その反面、ある1つのプログラム命令に対してフラッシュメモリのチップ内で実際に実行されるデータ書き込み回数の平均値が減少するので、書き込み速度の実効値を向上させる事ができる。

【0013】つまり、フラッシュメモリの寿命およびその書き込み平均速度は最大書き込み試行回数の値によって左右される。したがって、最大書き込み試行回数の値が固定されている従来のフラッシュメモリを使用した場合には、そのフラッシュメモリの用途に係わらず、ある一定の性能しか実現することができないという不具合が生じる。

【0014】

【発明が解決しようとする課題】従来のメモリでは、最大書き込み試行回数の値が固定的に規定されているので、チップの寿命およびデータ書き込み速度を含むチップ性能が一義的に規定されてしまう欠点があった。

【0015】この発明はこのような点に鑑みてなされたもので、最大書き込み試行回数を任意の値に設定できるようにし、用途に応じてチップ性能を自由に変更する事ができる不揮発性半導体メモリを提供することを目的とする。

【0016】

【課題を解決するための手段および作用】この発明の不揮発性半導体メモリは、メモリセルアレイと、外部から供給される書き込みデータを前記メモリセルアレイに書き込む書き込み手段と、この書き込み手段によって前記メモリセルアレイに書き込まれたデータ内容を前記書き込みデータと比較し、その一致の有無に基づいてデータ書き込み動作が正常に実行されたか否かを検証するベリフ



アイ手段と、このベリファイ手段によってデータ書き込み動作のエラーが検出された際、前記ベリファイ手段によってデータ書き込み動作の正常実行が検証されるまで前記書き込み手段に書き込み動作を繰り返し試行させる手段と、前記書き込み手段によって繰り返される書き込み試行回数の最大値を示す最大書き込み試行回数データがセットされるデータ保持手段と、前記書き込み手段による書き込み動作の試行回数が前記データ保持手段にセットされている最大書き込み試行回数データによって規定される回数に達した際、不良セルが存在する事を示すステータス信号を外部に通知するエラー通知手段と、外部からの要求に応じて前記データ保持手段の内容を更新して前記最大書き込み試行回数の値を変更する最大書き込み試行回数更新手段とを具備することを特徴とする。

【0017】この不揮発性半導体メモリにおいては、書き込み手段によって繰り返される書き込み試行回数の最大値を示す最大書き込み試行回数データがデータ保持手段にセットされており、そのデータ保持手段の内容は外部からの要求に応じて更新される。したがって、最大書き込み試行回数の値をユーザが自由に設定できるようになり、そのメモリの用途に応じてチップ性能を自由に変更する事が可能となる。

【0018】例えば、最大書き込み試行回数を例えば20回以上の比較的大きな値に設定すれば、不良セルが存在する事を示すステータス信号の発生確率が低くなり、結果的に不揮発性半導体メモリの寿命を延ばすことができる。一方、最大書き込み試行回数を例えば10回以下の比較的小きな値に設定すれば、不良セルが存在する事を示すエラーステータスの発生確率は高くなりチップの寿命は短くなるものの、平均書き込み速度を著しく向上させることができる。

【0019】

【実施例】以下、図面を参照してこの発明の実施例を説明する。図1にはこの発明の一実施例に係わるフラッシュEEPROMのチップ内のロジックが示されている。このフラッシュEEPROM10はNAND型のメモリであり、データの書き込みは例えば512バイトのページ単位で行われ、データ消去は4Kバイトのブロック単位で実行されるように構成されている。

【0020】このフラッシュEEPROM10には、図示のように、入出力回路11、制御回路12、データバッファ13、およびメモリ回路14が設けられており、これらは同一チップ上に集積形成されている。

【0021】入出力回路11は、外部回路との間でアドレス、データ、各種制御信号を授受するためのものであり、各種入出力ピンに結合されている。フラッシュEEPROM10のピンには、データ入出力ピン(I/O)、チップイネーブル信号入力ピン(CE)、レディー/ビジー信号出力ピン(READY/BUSY)、ライトイネーブル信号入力ピン(WE)、アウトプットイ

ネーブル信号入力ピン(OE)、アドレスラッチイネーブル信号入力ピン(ALE)、エラー信号出力ピン(ERROR)、等が含まれている。

【0022】データ入出力ピン(I/O)は、リード/ライトデータの入出力の他、アドレスやコマンドの入力にも利用される。フラッシュEEPROM10の動作モード(ライト、リード、消去、ベリファイ等)の指定はコマンドによって行われる。例えば、データ書き込み時においては、ライトアドレス、ライトデータ、ライトコマンドが順にデータ入出力ピン(I/O)に入力され、これによってフラッシュEEPROM10のデータ書き込み動作が実行される。この場合、ライトアドレスおよびライトコマンドは入出力回路11から制御回路12に送られ、ライトデータは入出力回路11からデータバッファ13に送られる。

【0023】また、データ入出力ピン(I/O)を介して入力されるコマンドには、レジスタ書き替えコマンドもある。このレジスタ書き替えコマンドは、レジスタ15にセットされている最大書き込み回数情報の変更を指示する。

【0024】制御回路12は、メモリ回路14のライト、リード、消去、ベリファイ等の動作制御を初め、レジスタ15の書き替え制御を行う。この制御回路12の動作は、コマンドにしたがって制御される。

【0025】制御回路12には、図示のように、コントローラ121、ベリファイ回路122、リード/ライト制御回路123、およびレジスタ制御回路124が含まれている。コントローラ121は入力コマンドを解釈し、その入力コマンドの内容にしたがってベリファイ回路122、リード/ライト制御回路123およびレジスタ制御回路124を制御する。

【0026】ベリファイ回路122は、メモリ回路14内のメモリセルアレイに書き込まれたデータ内容とデータバッファ13に残っているライトデータを比較し、その一致の有無に基づいてデータ書き込み動作が正常に実行されたか否かを検出する。この検出結果は、コントローラ121に送られる。

【0027】リード/ライト制御回路123は、メモリ回路14内のメモリセルアレイに対するデータの書き込み、読み出し、消去を制御するためのものであり、アドレスおよび各種制御信号をメモリ回路14に供給する。

【0028】レジスタ制御回路124は、レジスタ15への最大書き込み試行回数データの書き込みを制御する。このレジスタ15に書き込まれた最大書き込み試行回数データは、コントローラ121によって読み出される。

【0029】データバッファ13は、入出力回路11を介して外部から供給されるライトデータや、メモリ回路14から読み出されたリードを一時的に保持する。このデータバッファ13には、例えば1ページ(256バイ

ト) 分のライトデータが蓄積される。

【0030】メモリ回路14は、メモリセルアレイと、ロウデコーダ、カラムデータ等を含むメモリセルアレイアクセスのための周辺回路とから構成されている。レジスタ15は、最大書き込み試行回数データを保持する。この最大書き込み試行回数データは、書き込みエラーが検出された後に実行される書き込み試行動作の繰り返し回数の上限値を規定するものである。この最大書き込み試行回数の値は例えば“20”回に初期設定されているが、レジスタ書き替えコマンドによって任意の値に変更することができる。

【0031】次に、図2のフローチャートを参照して、データ書き込み時におけるフラッシュEEPROM10の動作を説明する。前述したように、データ書き込み時には、ライトアドレス、ライトデータ、ライトコマンドが順に外部からフラッシュEEPROM10のデータ入出力ピン(I/O)に入力される。この場合、入出力回路11は、データ入出力ピン(I/O)を介して受信したライトアドレス、ライトコマンドについては制御回路12に転送し、ライトデータについてはデータバッファ13に転送する(ステップS11, S12)。アドレス、データ、コマンドの種別は、その転送順序等によって識別できる。また、アドレス入力時にはアドレスラッチイネーブル信号(ALE)が付勢されるので、アドレス入力のタイミングはこれによって識別することもできる。ライトデータは8ビット単位で順次転送され、1ページすなわち256バイト分のデータがデータバッファ13に蓄積される。

【0032】制御回路12のコントローラ121は、ライトコマンドを受信すると、レディー/ビジー信号出力ピン(READY/BUSY)をビジー状態にした後、リード/ライト制御回路123を用いてメモリセルアレイに対するデータ書き込み処理を実行する(ステップS13)。このデータ書き込み処理においては、データバッファ13に蓄積されたデータがメモリセルアレイに転送され、ライトアドレスによって指定された位置に256バイト分のデータが書き込まれる。

【0033】続いて、コントローラ121は、リード/ライト制御回路123およびペリファイ回路122を利用して、プログラムペリファイ動作を実行する(ステップS14)。このプログラムペリファイ動作においては、メモリセルアレイに書き込んだデータがリード/ライト制御回路123によって読み出され、ペリファイ回路122に送られる。ペリファイ回路122は、メモリセルアレイから読み出されたデータとデータバッファ13に保持されているライトデータとを比較し、その一致の有無を示す検出信号をコントローラ121に出力する。この場合、データ書き込みが正常に実行されていれば比較結果は一致し、書き込みが正常に行なわれなければ比較結果は不一致となる。

【0034】コントローラ121は、ペリファイ回路122から一致を示す検出信号を受信すると(ペリファイOK)、書き込み処理を終了すると共に、レディー/ビジー信号出力ピン(READY/BUSY)をレディー状態にして正常終了を示すステータスを外部に返送する。そして、次のコマンドを待つ。

【0035】一方、ペリファイ回路122から不一致を示す検出信号を受信した時には、コントローラ121は、リード/ライト制御回路123およびペリファイ回路122を利用して、再びステップS13の書き込み処理とステップS14のプログラムペリファイ処理を試行する。これら書き込み処理とプログラムペリファイ処理は、書き込み処理が正しく行われるか、あるいは書き込み処理の試行回数がレジスタ15の最大書き込み試行回数に達するまで繰り返される。

【0036】最大書き込み試行回数に達しても書き込みが正しく実行されなかった場合には(ステップS16)、コントローラ121は、エラー信号出力ピン(ERROR)からエラー信号を出力して書き込みエラーのステータスを外部に返送する。このステータスは、書き込み対象のページに不良セルが含まれていることを示すものである。

【0037】この場合には、フラッシュEEPROM10を使用する半導体ディスク装置内部でのライトアドレスの変更等によって不良ページを使用しない等の対応が取られたり、そのフラッシュEEPROM10のチップ交換が行われる。

【0038】次に、図3のフローチャートを参照して、最大書き込み試行回数の変更処理を説明する。最大書き込み試行回数の値を変更する時には、新たな最大書き込み試行回数データ、レジスタ書き替えコマンドが順に外部からフラッシュEEPROM10のデータ入出力ピン(I/O)に入力される。この場合、入出力回路11は、データ入出力ピン(I/O)を介して受信した最大書き込み試行回数データについてはデータバッファ13に転送し、レジスタ書き替えコマンドについては制御回路12に転送する(ステップS21, S22)。

【0039】制御回路12のコントローラ121は、レジスタ書き替えコマンドを受信すると、レディー/ビジー信号出力ピン(READY/BUSY)をビジー状態にした後、レジスタ制御回路124を用いてレジスタ15の内容を更新する(ステップS23)。このレジスタの更新処理においては、レジスタ制御回路124によってレジスタ15に書き込みクロックが与えられ、データバッファ13に保持されている例えば8ビットの最大書き込み試行回数データがレジスタ15にセットされる。これにより、レジスタ15の内容は、新たな値に更新される。

【0040】このような最大書き込み試行回数の変更処理は、フラッシュEEPROM10がレディー状態にあ

るときなら何時でも行うことができる。以上のように、この実施例のフラッシュEEPROM10においては、リード/ライト制御回路123によって繰り返し実行される書き込み試行回数の最大値を示す最大書き込み試行回数データがレジスタ15にセットされており、そのレジスタ15の内容は外部からのレジスタ書き替えコマンドに応じて更新される。したがって、最大書き込み試行回数の値をユーザが自由に設定できるようになり、フラッシュEEPROM10の用途に応じてチップ性能を自由に変更する事が可能となる。

【0041】最大書き込み試行回数を例えば20回以上の比較的大きな値に設定すれば、不良セルが存在する事を示すエラーステータスの発生確率が低くなり、結果的にフラッシュEEPROM10の寿命を延ばすことができる。一方、最大書き込み試行回数を例えば10回以下の比較的小さな値に設定すれば、不良セルが存在する事を示すエラーステータスの発生確率は高くなりチップの寿命は短くなるものの、平均書き込み速度を著しく向上させることができる。

【0042】なお、この実施例では、最大書き込み試行回数データを保持するための専用レジスタ15を設けたが、データバッファ13やメモリセルアレイの一部を最大書き込み試行回数データの記憶領域として利用することもできる。また、レジスタ15はフリップフロップで構成するほか、メモリセルアレイのセルと同一構造のセルを用いて実現することもできる。

【0043】さらに、ここでは、エラー信号出力専用のピンを設けたが、他のピンを利用してエラーステータスを返送することもできる。図4には、図1のフラッシュEEPROMを使用した半導体ディスク装置の構成が示されている。

【0044】この半導体ディスク装置20は、ハードディスク装置やフロッピーディスク装置の代替としてパーソナルコンピュータの2次記憶装置として使用されるものであり、例えば、PCMCIAインターフェース、またはIDEインターフェースを有する。この半導体ディスク装置20は、データ記憶用素子として図1のフラッシュEEPROM10とそれぞれ同一の構成を有する5個のフラッシュEEPROM21-1~21-5を備えている。

【0045】また、この半導体ディスク装置20は、アクセスコントローラ22、ホストインターフェースコントローラ23、ホストインターフェース24、およびデータバッファ25を備えている。アクセスコントローラ22は、ホストインターフェース24およびホストインターフェースコントローラ23を介してホストCPUから供給されるディスクアクセス要求に応じて、フラッシュEEPROM21-1~21-5をアクセス制御する。

【0046】このアクセスは、前述したようにフラッシュ

EEPROMの動作モードをコマンドによって指定するコマンド方式で実現される。このため、例えばライトモードにおいては、アクセス対象のフラッシュEEPROMのデータバッファにライトデータが転送された後は、フラッシュEEPROM内部でライト動作が実行されるので、アクセスコントローラ22はそのライトアクセスの制御から解放される。

【0047】このアクセスコントローラ22には、アドレス変換テーブル221が設けられている。アドレス変換テーブル221には、ホストCPUからのディスクアドレス（トラック番号、セクタ番号、ヘッド番号）とフラッシュEEPROM21-1~21-5をアクセスするためのメモリアドレス（メモリアドレス、チップ番号）との対応関係が定義されている。

【0048】ホストインターフェース24は、ホストシステムバスに接続可能なハードディスク装置と同様に例えばIDEインターフェースに準拠した40ピンのピン配置、またはICカードスロットに装着可能なICカードと同様に例えばPCMCIAインターフェースに準拠した68ピンのピン配置を有している。

【0049】ホストインターフェースコントローラ23は、ホストインターフェース24とアクセスコントローラ22間のインターフェースとして使用されるものであり、ここには、ホストCPUによってリード/ライト可能な複数のレジスタが設けられている。

【0050】データバッファ25は、ホストCPUから送られてきたライトデータやフラッシュメモリ21-1~21-5からの読み出しデータを保持する。アクセスコントローラ22は、フラッシュEEPROM21-1~21-5の選択、およびその選択したフラッシュEEPROMに対するデータのリード/ライト制御等を行なう。この場合、アクセスコントローラ22は、アドレス変換テーブル221から出力されるメモリチップ番号に対応するフラッシュEEPROMを選択するために、フラッシュEEPROM21-1~21-5に選択的にチップイネーブル信号CEを供給する。また、アクセスコントローラ22は、アドレス変換テーブル221から出力されるメモリアドレスを先頭アドレスとして発生し、そしてホストCPUから送られてきたデータサイズ分のデータのリード/ライト動作が実行されるように、その先頭アドレスを順次カウントアップする。

【0051】このように構成された半導体ディスク装置20を使用すれば、アクセスコントローラ22からの指示に応じてチップ内の最大書き込み試行回数データを更新することによって、半導体ディスク装置20自体の性能をユーザが用途に応じて設定することができる。

【0052】また、5個のフラッシュEEPROM21-1~21-5に対して別個に最大書き込み試行回数の値を設定できるので、例えば、FAT等の管理情報が記憶されるフラッシュEEPROMについては信頼性を高



めるために最大書き込み試行回数の値を比較的大きく設定し、ユーザデータが記憶されるフラッシュEEPROMについては書き込み速度を速めるために最大書き込み試行回数の値を比較的小さく設定するといった運用を行うこともできる。

【0053】なお、ここでは、フラッシュEEPROM内で自動的にプログラムベリファイ動作が行われる場合を例にとって説明したが、半導体ディスク装置20のアクセスコントローラ22がコマンドによって逐一ベリファイ動作を指定することも可能である。

【0054】この場合においては、図1のレジスタ15およびベリファイ回路121をアクセスコントローラ22内に設け、そのレジスタの内容がホストCPUからのコマンドによって書き替えられるように構成すれば、同様に半導体ディスク装置20自体の性能をユーザが用途に応じて設定することができる。このとき、エラーステータスは半導体ディスク装置20からホストコンピュータに送られる。

【0055】

【発明の効果】以上説明したように、この発明によれば、最大書き込み試行回数を任意の値に設定できるようになり、ユーザが用途に応じてチップ性能を自由に変更する事が可能となる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るフラッシュEEPROMの構成を示すブロック図。

【図2】同実施例のフラッシュEEPROMのデータ書き込み動作を説明するフローチャート。

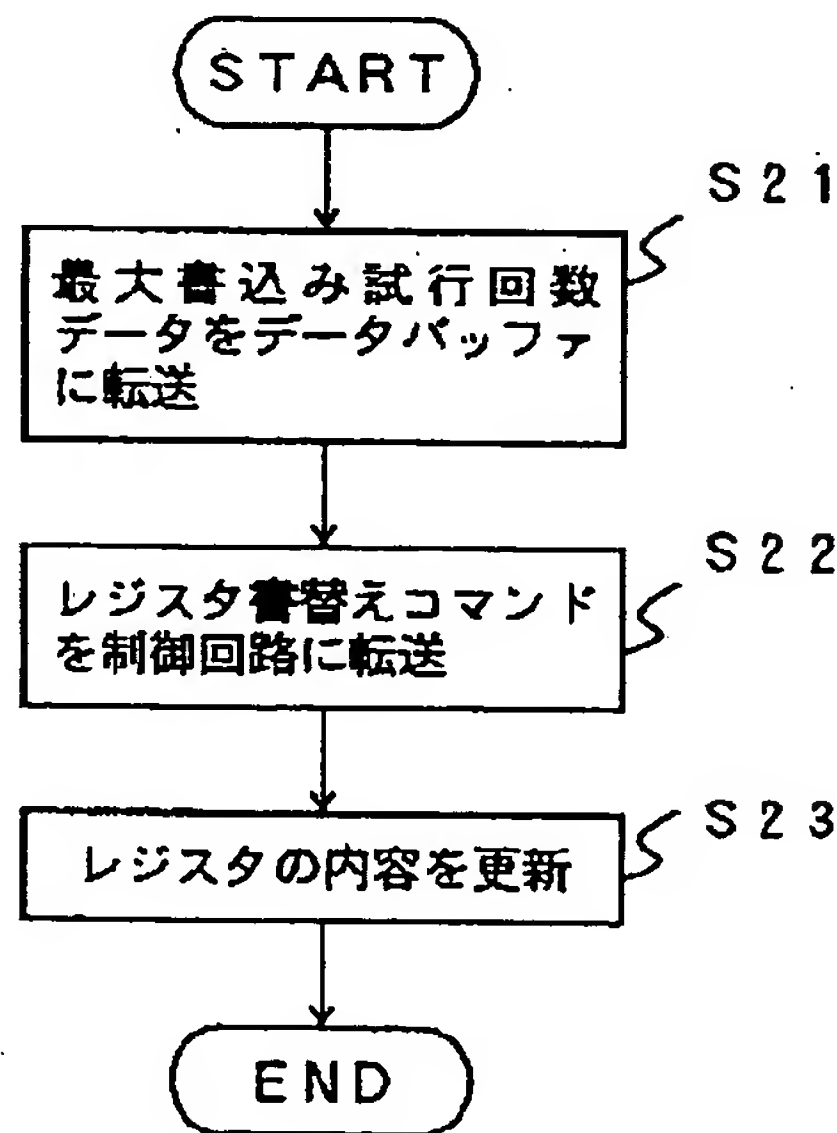
10 【図3】同実施例のフラッシュEEPROMの最大書き込み試行回数変更動作を説明するフローチャート。

【図4】図1のフラッシュEEPROMを使用した半導体ディスク装置の構成を示すブロック図。

【符号の説明】

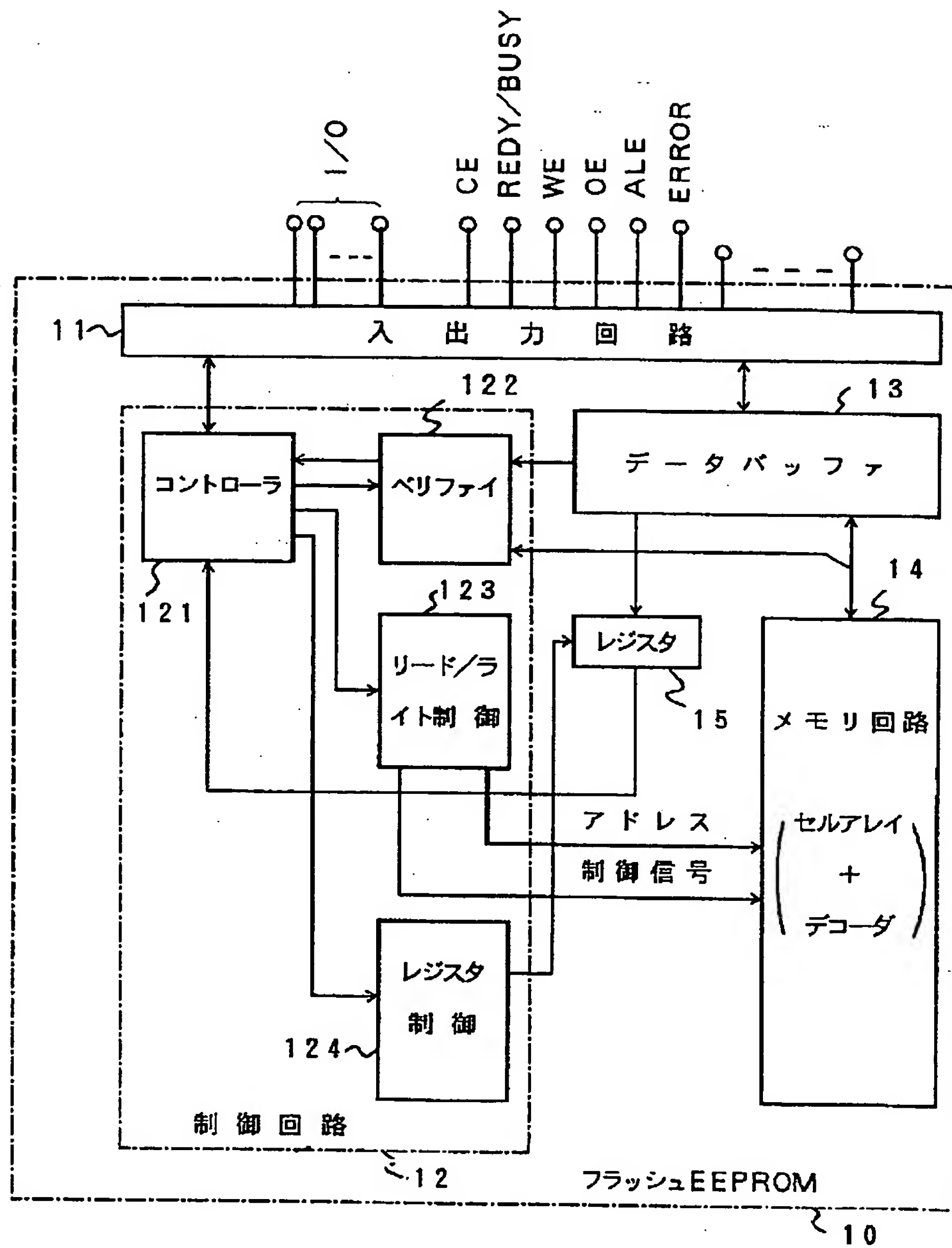
10…フラッシュEEPROM、11…入出力回路、12…制御回路、13…データバッファ、14…メモリ回路、15…レジスタ、121…コントローラ、122…ベリファイ回路、123…リード/ライト回路、124…レジスタ制御回路。

【図3】

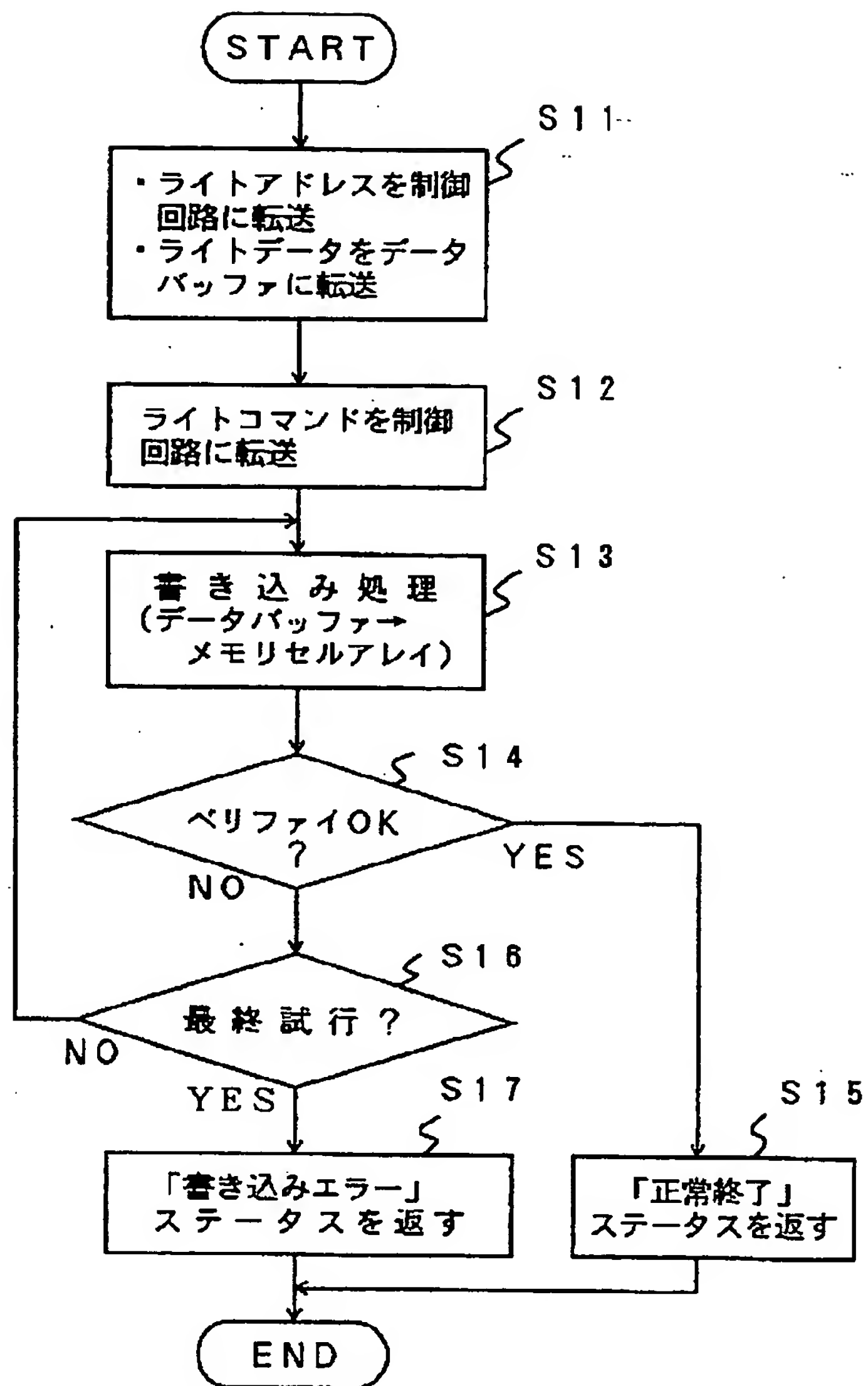




【図1】



【図2】



【図4】

